

Surface discharging plasma displaying panel

Publication number: CN1264914

Publication date: 2000-08-30

Inventor: MASAKIMI NAKAHARA (JP); GIICHI KANASAWA (JP);
TAKAJI TATSUME (JP)

Applicant: FUJITSU LTD (JP)

Classification:

- international: **H01J17/49; H01J17/49; (IPC1-7): H01J17/49;**
G09F93/13

- european: H01J17/49D

Application number: CN20000101955 20000203

Priority number(s): JP19990046717 19990224

Also published as:

EP1032015 (A2)
US6531819 (B1)
JP2000251739 (A)
EP1032015 (A3)
EP1032015 (B1)

more >>

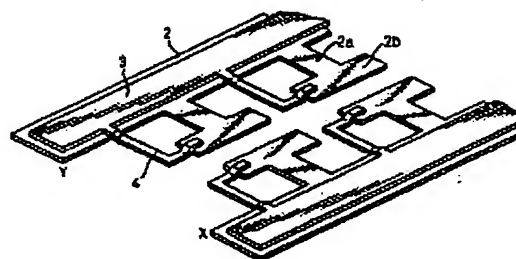
Report a data error he

Abstract not available for CN1264914

Abstract of corresponding document: **EP1032015**

A plasma display panel of a surface discharge type is disclosed, which can positively generate the discharge for display while suppressing the power consumption even when the number of the electrodes is increased for attaining the high definition. A plurality of display electrode pairs (x,y) are arranged in proximity with each other inside of a pair of substrates opposed to each other with a discharge gap formed therebetween. Each display electrode (x,y) includes a main pattern (3) extending in one direction, independent discharge patterns (2b) each formed for each luminous area corresponding to a display cell, and a plurality of auxiliary patterns (4) for electrically connecting the main pattern (3) and the discharge patterns (2b) to each other. The auxiliary patterns (4) are higher in conductivity than the discharge patterns (2b) in one embodiment, and are integral with the discharge patterns (2b) in another embodiment.

Fig. 6



Data supplied from the *esp@cenet* database - Worldwide

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01J 17/49

G09F 9/313

[12] 发明专利申请公开说明书

[21] 申请号 00101955.4

[43]公开日 2000年8月30日

[11]公开号 CN 1264914A

[22]申请日 2000.2.3 [21]申请号 00101955.4

[30]优先权

[32]1999.2.24 [33]JP [31]046717/1999

[71]申请人 富士通株式会社

地址 日本神奈川

[72]发明人 中原正公 金泽义一 田爪隆次

野村心一 森山光弘 宫崎幸德

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

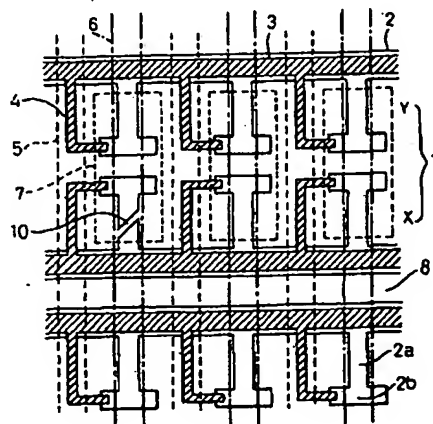
代理人 王永刚

权利要求书 3 页 说明书 14 页 附图页数 17 页

[54]发明名称 表面放电等离子体显示板

[57]摘要

本申请公开了一种表面放电型等离子体显示板,甚至在实现高清晰度而使电极数增大时,也可以确实地产生用于显示的放电,同时能够抑制功耗。多个显示电极对彼此邻近设置于彼此相对且两者间形成有放电间隙的一对基片内。每个显示电极都包括在一个方向延伸的主图形,为对应于显示单元的每个发光区形成的独立放电图形,和用于电连接主图形和放电图形的多个辅助图形。辅助图形的导电率高于放电图形。



ISSN 1008-4274

权 利 要 求 书

1. 一种表面放电型等离子体显示板, 包括彼此相对且两者间形成有放电空间的一对基片和在所说基片间彼此邻近设置的多个显示电极对:

其中每个所说显示电极包括:

在一个方向延伸的主图形;

多个放电图形, 每一个放电图形都是为对应于显示单元的每个发光区形成的; 以及

用于电连接所说主图形和所说放电图形的多个辅助图形; 及

其中所说辅助图形的导电率高于所说放电图形。

2. 根据权利要求1的表面放电型等离子体显示板, 其中所说放电图形每个都由透过可见光的透明电极材料构成, 所说主图形和所说辅助图形由导电率高于所说透明电极材料的金属材料构成。

3. 根据权利要求1的表面放电型等离子体显示板, 还包括由透过可见光的透明材料构成的多个耦合图形, 用于彼此连接所说放电图形和所说主图形。

4. 根据权利要求3的表面放电型等离子体显示板, 其中所说主图形具有透明导电材料层和金属材料层构成的多层结构, 每个所说放电图形和每个所说耦合图形与所说主图形的相应一个所说透明导电材料层形成一体, 每个所说辅助图形与所说主图形的相应一个所说金属材料层形成一体。

5. 根据权利要求1的表面放电型等离子体显示板, 还包括在垂直于所说主图形的方向延伸的多个隔墙, 用于限定所说显示单元的所说发光区;

其中所说辅助图形分别与所说隔墙重叠设置。

6. 根据权利要求1的表面放电型等离子体显示板, 其中第一和第二组所说放电图形和所说辅助图形分别设置于所说主图形的两侧上, 所说第一和第二组所说放电图形分别通过所说第一和第二组所

说辅助图形连接到相同主图形。

7. 根据权利要求1的表面放电型等离子体显示板, 还包括导电率高于所说放电图形的多个耦合辅助图形, 用于连接相邻显示单元的放电图形。

8. 根据权利要求1的表面放电型等离子体显示板, 其中每个所说耦合辅助图形与相应一个所说辅助图形形成一体。

9. 根据权利要求1的表面放电型等离子体显示板, 还包括隔离相邻显示电极对在所说相邻显示电极对间不产生表面放电的多个不放电槽。

10. 根据权利要求1的表面放电型等离子体显示板, 其中所说显示电极对的各所说放电图形设置为其间形成有表面放电间隙。

11. 根据权利要求10的表面放电型等离子体显示板, 其中多个显示电极对等距设置。

12. 一种表面放电型等离子体显示板, 包括彼此相对且两者间形成有放电空间的一对基片和在所说基片间彼此邻近设置的多个显示电极对:

其中每个所说显示电极包括:

在一个方向延伸的主图形;

多个放电图形, 每一个放电图形都是为对应于显示单元的每个发光区形成的;

用于电连接所说主图形和所说放电图形的多个辅助图形; 及

其中所说主图形、所说放电图形和所说辅助图形利用光掩蔽金属材料彼此形成一体。

13. 根据权利要求12的表面放电型等离子体显示板, 还包括在垂直于所说主图形的方向延伸的多个隔墙, 用于限定所说显示单元的所说发光区;

其中所说辅助图形分别与所说隔墙重叠设置。

14. 根据权利要求12的表面放电型等离子体显示板, 还包括隔离相邻显示电极对在所说相邻显示电极对间不产生表面放电的多个

不放电槽。

15. 根据权利要求 12 的表面放电型等离子体显示板，其中所说显示电极对各所说放电图形设置为其间具有放电间隙。

16. 根据权利要求 15 的表面放电型等离子体显示板，其中多个显示电极对等距设置。

表面放电等离子体显示板

本发明涉及一种具有构成彼此相邻设置的保持放电电极对的多个显示电极的表面放电型等离子体显示板。

等离子体显示板作为一种壁型显示器件引起了广泛关注，人们为通过提高分辨率和抑制功耗来提高图像质量做了很大的努力。

首先，介绍一下表面放电型 AC 驱动 3 电极等离子体显示板（此后称之为 PDP）的结构。图 1 是展示 PDP 的一部分的透视图。如图 1 所示，沿基片表面产生表面放电的显示电极（也叫作保持电极）X、Y 以矩阵显示的每行 L 上一对的频率设置于透明玻璃材料的面基片 100 的内表面上。显示电极 X、Y 通过光刻法形成，如以后将详细介绍的，每个构成为具有透明电极 102 和多层结构的金属薄膜总线电极 103。为了覆盖显示电极 X、Y 和放电空间，利用丝网印刷形成 AC 驱动的介质层 104。在介质层 104 的表面上蒸发淀积 MgO（氧化镁）保护膜 105。

另一方面，在背基片 101 的内表面上，与显示电极 X、Y 的直角，以预定间距设置多个产生地址放电的地址电极 106。地址电极 106 也通过光刻法形成，且类似于总线电极 103，是由多层结构金属薄膜构成的。在包括地址电极 106 的背面基片 101 的整个表面上，丝网印刷形成介质层 107。在介质层 107 上，每对地址电极 106 之间形成一高约 150 微米的直隔墙 108。丝网印刷形成全色显示用的三原色 R（红）、G（绿）、L（兰）荧光带，覆盖介质层 107 的表面和地址电极 106 上的隔墙 108 的侧面。另外，在约几十 KPa（几百托）的压力下，在放电空间 109 中密封放电时通过照射紫外光激发荧光材料用的放电气体，例如 Ne-Xe（氖和氙的混合气）。沿基片外围边缘形成密封部件 111，用于密封放电空间 109。面基片 100 和背基片 101 彼此分开形成，并通过密封部件 111 彼此附着和固定在一起，于

是完成 PDP。

图 2A 和 2B 分别是展示常规 PDP 的显示电极结构的平面图和剖面图。与图 1 中对应部件相同的构件分别由相同参考数字表示。如结合图 1 所作的介绍，显示电极 X、Y 构成一对，每一个都由宽透明电极 102 和窄透明电极 103 构成，如图 2A 所示。

考虑到导电率和与周围膜的匹配性，总线电极 103 由例如 Cr-Cu-Cr 等多层金属构成。采用透明电极 102 透过光，以防止发光效率下降。多层金属构成的总线电极补偿透明电极 102 不够的导电率。总线电极 103 设置于每个透明电极 102 外部上，从而在两个总线电极 103 之间形成发光区 112。每个发光区 112 由虚线表示的隔墙 108 限定，隔墙 108 形成于背基片上，与图 2A 中点划线所示的地址电极 106 相对。

图 2B 是沿图 2A 中的箭头取的显示电极的剖面图。为了继续结合图 1 的上述介绍，如图 2B 所示，透明电极 102 形成与面基片 100 的内表面接触，总线电极 103 分别淀积于透明电极 102 的一部分上。另外，尽管图 2A 中未示出，介质部件 104 形成覆盖透明电极 102 和总线电极 103，保护膜 105 形成于介质部件 104 上。

这种结构中，主放电发生在显示电极 X、Y 之间，从地址电极 106 选择的部分发光。光发射时，放电产生紫外光激发荧光部件 110（图 1），并在面基片 100 上表现为可见光。

近年来，趋势是在牺牲功耗的基础上增大像素数，以满足 HDTV 要求。具体说，相同尺寸屏幕的较高分辨率增大了电极数，因此电极所占面积相应导致了功耗增大。日本未审查专利公开 8-22772 公开了一种 PDP，其中通过偏转宽透明电极的图形抑制功耗，并由此减小了其面积。图 3 是展示该公开中公开的用于降低功耗的显示电极图形的平面图。如图 3 所示，显示电极 X、Y 的每个透明电极 122 包括多个突出部分 122a，每个突出部分在垂直于主图形的方向延伸，并且在其前端具有放电所需宽度的放电单元 122b。这种图形形状可以显著减小透明电极 122 的面积。总线电极 123 分别以与参考

图 2 介绍的相同的方式形成于透明电极 122 的外部之上。

放电发生在相邻透明电极 122 的相对部分处。由与背基片上地址电极 126 相对的隔墙 128 限定的部分构成发光区 129。因此，透明电极 122 的相对部分可以发生需要的放电，只要它们在发光区 129 内以预定关系彼此隔开。由此，如图 3 所示，分别通过突出部分 122a 形成的有预定宽度的放电部分 122b 的图形，可以发生放电，没有任何问题。于是，通过减小透明电极 122 的面积，可以降低功耗。

无论如何，已发现，用于减小面积的上述图形具有另一问题。具体说，从薄到只有几千埃的透明电极膜在构图时由于基片表面上的灰尘或划伤或其它损伤等影响会产生断连部分 130。突出部分 122a 的断连部分 130 切断了到放电单元 122b 的导通，因此自然而然阻止了放电。

另一方面，美国专利 5640068 公开了一种 PDP，通过减小发光区的掩蔽面积，提高了亮度。图 4 是展示该公知文献所公开的用于减小掩蔽面积的显示电极图形的平面图。如图 4 所示，显示电极 X、Y 的每个透明电极 142 平行于主图形 143 延伸，透明电极 142 和主图形 143 彼此通过多个在垂直于主图形 143 的方向上延伸的连接图形 144 连接。总线电极 123 与结合图 2 所介绍的类似，形成于透明电极 122 外部上。由掩蔽金属材料构成的连接图形 144 形成为与隔墙 148 重叠，因此发光区未被掩蔽，然而，这种图形中，电流沿透明电极 142 流动，因此不会降低功耗。

本发明的目的是提供一种表面放电型等离子体显示板，甚至在增大电极数目以实现高清晰度时，也能够产生用于准确显示的放电，同时能够将功耗抑制到低水平。

根据本发明的第一方案，提供一种表面放电型等离子体显示板，包括用于对应于每个显示单元的每个发光区的放电图形，其中每个主图形和相应的放电图形彼此至少通过一个导电率高于放电图形的辅助图形电连接。

具体说，根据本发明第一方案的表面放电型等离子体显示板包

括：彼此相对设置其间有放电空间的一对基片；彼此邻近设置于各基片内的多个显示电极对，其中每个显示电极包括：在一个方向延伸的主图形，为对应于显示单元的每个发光区形成的多个放电图形，用于电连接主图形和放电图形的多个辅助图形，其中辅助图形的导电率高于放电图形。

在本发明的第一方案中，在与显示电极的主图形成直角的方向，从主图形突出的位置，提供放电图形，可以通过减小中间图形的面积抑制功耗。同时，主图形和放电图形通过由具有高导电率的材料构成的材料构成的辅助图形彼此连接，因此，可以确保主图形和放电图形间的足够导电率。

从下面结合附图的介绍中，可以更清楚地理解本发明的特点和优点，其中：

图 1 是介绍表面放电型等离子体显示板的结构的透视图；

图 2A 和 2B 分别是常规 PDP 的显示电极的平面图和剖面图；

图 3 是低功耗常规 PDP 的显示电极图形的平面图；

图 4 是常规 PDP 的用于减小发光区的掩蔽的显示电极图形的平面图；

图 5 是本发明第一实施例的显示电极的平面图；

图 6 是本发明第一实施例的显示电极的透视图；

图 7 是本发明第二实施例的显示电极的平面图；

图 8 是本发明第三实施例的显示电极的平面图；

图 9 是展示第三实施例的电极矩阵和显示单元的示图；

图 10 是展示第三实施例的等离子体显示装置的结构框图；

图 11 是展示第三实施例的等离子体显示装置的灰度显示的帧结构的示图；

图 12 是展示第三实施例的等离子体显示装置的驱动顺序的电压波形图；

图 13 是展示第三实施例的显示电极的一个改进的平面图；

图 14 是展示第三实施例的显示电极的一个改进的平面图；

图 15 是展示本发明第四实施例的显示电极的平面图;

图 16 是展示本发明第五实施例的显示电极的平面图;

图 17 是展示本发明第六实施例的显示电极的平面图;

图 18 是展示本发明第七实施例的显示电极的平面图。

下面结合附图介绍本发明的各实施例。根据本发明的表面放电 PDP 结构有一个特征, 显示电极构成保持电极对, 即其图形形状。例如显示电极的图形形状外的结构与图 1 所示的常规结构相同, 以下不再介绍。

图 5 和 6 是展示本发明第一实施例的 PDP 的显示电极图形形状的示图。图 5 是平面图, 图 6 是透视图。如图 5 所示, 显示电极 X、Y 构成产生持续放电的显示电极对。显示电极 X、Y 每个都由 ITO 等透明电极构成, 总线电极 3 由 Cr-Cu-Cr 等金属层构成。这些显示电极彼此相对对称地设置。图 6 的透视图清楚示出了透明电极 2 和总线电极 3 的结构。透明电极 2 包括多个在垂直于带状主图形的方向延伸的突出部分 2a, 和在相应的突出部分 2a 的前端形成的具有预定宽度的多个放电部分 2b。突出部分 2a 和放电部分 2b 以预定间隔设置。相邻显示电极对 1 的放电部分 2b 彼此相对设置, 放电发生在这两个放电部分 2b 之间。另一方面, 总线电极 3 在透明电极 2 的主图形上形成为带状, 在垂直于带状部分的方向延伸的多个辅助图形 4 分别连接到透明电极 2 的放电部分 2b。总线电极 3 由 Cr-Cu-Cr 多层金属构成, 所以电阻很小, 其形成为厚几微米, 不会在细长图形中发生断连。

甚至在透明电极 2 的突出部分 2a 在 10 表示的部分断开的情况下, 透明电极 2 的放电单元 2b 也会通过总线电极 3 的辅助图形 4 导通, 所以可以没有任何故障地产生放电。

总线电极 3 的每个辅助图形 4 的主要部分设置于背基片上, 与对应的一个隔墙 5 (图 5 中由虚线表示) 重叠。因此, 只有辅助电极 4 的一小部分遮断发光区 7, 所以不会降低发光效率。另外, 与隔墙 5 重叠的辅助图形 4 的存在减少了外部光反射, 提高了对比度。具体

说，隔墙 5 与背基片接触的部分不仅会影响发光，而且会增加外部光反射，导致了荧光颗粒吸附和变白，因而降低了对比度。相反，本实施例中，金属辅助图形 4 是黑色的，抑制了外部光的反射。

地址电极 6 每个都设置于背基片的隔墙之间，使其穿过透明电极 2 的一部分，使得与所选显示电极对 1 的交点发光。在该 PDP 中，多个这种显示电极对 1 穿过非显示槽 8 设置。

在上述显示电极中，首先将透明电极 2 形成预定图形，然后，溅射形成多层金属。通过构图该多层金属，形成总线电极 3，从而完成加工工艺。如图 7 所示，后形成的总线电极 3 构成具有与透明电极 2 成台阶状的图形。但是由于透明电极 2 是一种薄到几千埃的膜，该台阶没有不良影响。

另外，总线电极 3 的主图形的面积减小了对应于辅助图形 4 的量。具体说，总面积保持恒定，以确保所需的导电率。于是，通过形成辅助图形 4，不会增大功耗。另外，透明电极 2 与相邻显示区的透明电极隔开，因此，由于限制了相邻部分间放电的放电膨胀，所以不会降低分辨率。

图 7 是展示本发明第二实施例的 PDP 的显示电极的图形形状的平面图。如图 7 所示，透明电极 2 的图形不同于第一实施例的相应图形。

第二实施例中，每个透明电极 2 只有岛状放电部分，不象第一实施例那样，没有从主图形延伸的突出部分。这是想确实地利用总线电极 3 的辅助图形 4，而不是只将其作为断连情况下的补充。隔墙 5 和地址电极 6 在与第一实施例 1 相同的位置形成于背基片上，用于限定发光区 7。另外，透明电极 2 不设置于总线电极 3 的整个下表面上，因此，进一步降低了功耗。根据该实施例的图形形状，可以进一步减小透明电极 2 的面积，以进一步降低功耗，每个透明电极 2 通过相应的金属辅助图形 4 电连接，因此不会断连。

图 8-12 是介绍本发明第三实施例 PDP 的示图。图 8 展示了显示电极的图形形状，图 9 显示了电极矩阵的模型，图 10 是展示包括

驱动单元的等离子体显示单元的结构框图，图 11 显示了灰度显示的帧结构，图 12 是表示驱动顺序的电压波形。

第一和第二实施例的 PDP 由通过非显示槽隔离的多个显示电极对构成。另一方面，第三实施例可应用于称为 ALiS（表面交替发光法）系统的 PDP，而不用任何非显示槽。该系统对本发明来说尤其有效。

在 ALiS 系统中，每隔一个电极交替放电，以便有效地利用所有电极间隙发光。下面结合图 9-12 介绍驱动的具体情况。该驱动系统对于 HDTV 或数字广播被认为是重要的，并可非常有效地抑制功耗。

根据第三实施例，如图 8 所示，显示电极 X、Y 构成用于产生持续放电的显示电极对。类似于第一和第二实施例，显示电极 X、Y 由 ITO 等透明电极 12 和多层金属的总线电极 13 构成。这些构件彼此相对对称地设置。总线电极 13 为带状图形，辅助图形 14 从其两侧向相反方向延伸。总线电极 13 的 Cr（铬）膜是黑色不透明的，所以带状图形防止了透过背基片上的荧光材料透过正面基片，同时阻挡了相邻单元的放电光的泄漏。所以，带状图形起到叫作黑条的作用。

另一方面，透明电极 12 电连接到总线电极 13 的带状图形，包括以预定间隔分布的从该图形的两侧延伸的多个突出部分 12a 和在该突出部分 12a 的前端处设置且分别连接到总线电极 13 的辅助图形 14 的预定宽度的多个放电部分 12b。相邻显示电极的放电部分 12b 彼此相对设置，以便在其间产生放电。

如上所述，本实施例的显示电极 X、Y 具有包括中心主带状图形和从主图形的两侧延伸出的突出部分的图形，从而限定每个发光区 17，而不用任何非显示槽，因而满足 ALiS 系统的驱动要求。隔墙 15 和地址电极 16 在与第一和第二实施例类似的位置形成于背基片上，用于限定发光区 17。

另外，在满足 ALiS 系统的驱动要求的该实施例中，可以断开透

明电极 12 的突出部分 12a. 象第一实施例中一样, 透明电极 12 的相应放电部分 12b 通过总线电极 13 的相应辅助图形 14 导通。因此, 不管低功耗型的图形形状如何, 总是可以确实地发生放电。

且不说辅助图形 14 关于总线电极 13 的主图形对称的事实, 其中透明电极 12 的放电部分 12b 在交替相反方向连接的不对称设计 (或关于一点对称的设计) 也可以产生类似的效果。并不总是需要考虑提高粘合力而在总线电极 13 的带状图形下设置透明电极 12. 例如, 也可以采用构成为具有突出部分 12a 和放电部分 12b 的 T 图形或具有在总线电极 13 的两侧上彼此连接的突出部分 12a 的 I 图形。

在本实施例表面放电 PDP 中, 如图 9 所示, M 个地址电极 A 设置成列电极, $(N+1)$ 个显示电极 X、Y 在垂直于地址电极 A 的方向交替等距设置。符号 M 表示屏幕 ES 上的列数, 符号 N 表示屏幕 ES 上的行数。显示电极 X、Y 间的间隔设定为约几十微米, 以便能够用实际范围的驱动电压 (例如 100V-200V) 产生表面放电。图 9 中示出的显示电极 X、Y 薄。然而, 实际上, 如图 8 所示, 每个显示电极 X、Y 的宽度大于设置它们的间隔。

沿图示的列向顺序计数为奇数的显示电极 X 总是构成电共用组。另一方面, 计数为偶数的各显示电极 Y 分别受各地址电极 A 的控制并由它们寻址, 在保持导通态时, 类似于显示电极 X, 构成共用组。这里所称的组限定为奇数电极组或偶数电极组, 它们连接为图 10 所示的共用组。在这些显示电极 X、Y 中, 彼此相邻的显示电极 X 和显示电极 Y 用于产生表面放电的显示电极对 11, 限定行 L (图中的下标表示行数)。具体说, 除在序列的端部的显示电极外, 每个显示电极 X、Y 负责两行 L (奇数行和偶数行) 上的显示, 端部的每个显示电极 X 负责一行 L 的显示。行 L 是与列上的分布具有同一排列顺序的一组单元 C。

下面结合图 10 介绍等离子体显示装置的整体结构。如图 10 所示, 等离子体显示装置 20 包括具有上述介绍的电极矩阵的 PDP 30 和驱动单元 40。驱动单元 40 包括控制器 41、帧存储器 42、数据处

理电路 43、电源电路 44、扫描驱动器 45、保持电路 46 和地址驱动器 47。保持电路 46 包括奇数 X 驱动器 461、偶数 X 驱动器 462、奇数 Y 驱动器 463 和偶数 Y 驱动器 464。在设置于 PDP 30 背侧的驱动单元 40 中，每个驱动器和 PDP 的电极彼此通过柔性电缆（未示出）电连接。

从外部装置例如 TV 调谐器和计算机等，给驱动单元 40 提供像素单元中表示 R、G、B 中每种颜色的亮度水平（灰度水平）的帧数据 DF，及各种同步信号（CLK, VSYNC, HSYNC）。暂时存储在帧存储器 42 中后，帧数据 DF 具有被数据处理电路 43 分成预定数目的子域（subfield）的帧。从帧存储器 42 输出用于灰度显示的子域数据的每位的值是表示是否需要导通单元或严格说表示子域中是否需要地址放电的信息。

在寻址操作中，扫描驱动器 45 分别给各显示电极 Y 加驱动电压，奇数 X 驱动器 461 一次给所有奇数显示电极 X 加驱动电压，偶数 X 驱动器 462 一次给所有偶数显示电极 X 加驱动电压，奇数 Y 驱动器 463 一次给所有奇数显示电极 Y 加驱动电压，偶数 Y 驱动电极 464 一次给所有偶数显示电极 Y 加驱动电压。将显示电极 X、Y 形成电共用组不限于在上述屏板上的连接，还可应用到驱动器内的布线，或连接板上的布线。

地址驱动器 47 根据子域 Dsf 选择性地给所有 M 个地址电极 A 加驱动电压。通过未示出的布线导体，从电源电路 44 给这些驱动器 47 提供预定的功率。

下面结合图 6 介绍驱动 PDP 30 的方法的实例。在驱动 PDP 30 时，表示一个景象的图像信息的帧 F 被分成奇数场 f1 和偶数场 f2。在奇数场 f1 中，显示奇数行，在偶数场 f2 中，显示偶数行。换言之，一个景象的信息由隔行场显示。为了通过二元导通控制显示灰度（颜色再现），奇数场 f1 和偶数场 f2 每个例如都被分成八个子域 sf1 - sf8。换言之，每个场由一组八个子域 sf1 - sf8 代替。这些子域 sf1 - sf8 被加权，以便其亮度比基本上为 1:2:4:8:16:32:64:128，从而设

定该倍数，保持每个子域 sf1 - sf8 导通。

通过组合各子域中的导通和截止，可以为每种颜色 R、G、B 设定 256 个灰度的亮度。于是给出可显示的颜色的数为 256 的三次方，即 1677216。然而，子域 sf1 - sf8 不必都按亮度权数的顺序显示，但例如通过在场周期 Tf 的中间点设置具有大权重的子域，可以得到优化。

为每个子域 sfj (j = 1 到 8) 指定的子域周期 Ts fj 包括用于在整个屏幕上保证均匀电荷分布的寻址准备时间 TR、用于形成对应于显示内容的电荷分布的寻址时间 TA、和用于保持导通状态以保证对应于灰度级的亮度的保持时间 TS。在每个子域周期 Ts fj 中，不管亮度权重如何，寻址准备时间 TR 和寻址时间 TA 的长度是恒定的。然而，保持周期 TS 越长，权重越大。换言之，对应于一个场的八个子域周期 Ts fj 彼此不同。在该实施例中，亮度权重都给定为 2^n (n: 整数)。无需说，权重可设定为其它值。另外，在一个场中存在的相同权重的多个子域可如上所述按随机顺序设置。

图 12 是展示驱动顺序的实例的电压波形图。首先，在奇数场 f1 的每个子域中，在寻址准备时间 TR 期间，具有大于放电起始电压的峰值的写脉冲 Prx 加于所有显示电极 X 上。同时，脉冲 Pra 加于所有地址电极 A 上，以调整写脉冲 Prx 的偏差。由于加了写脉冲，在每个单元中表面放电形成过量壁电荷。在脉冲的下降沿，这些壁电荷被自猝熄放电基本上擦除。

另一方面，在寻址时间 TA 期间，扫描脉冲 Py 顺序加于每个显示电极 Y 上，以选择各行。与扫描脉冲 Py 同步，地址脉冲 Pa 加于对应于所选行的各单元的地址电极 A 上，使之导通，从而产生地址放电。另外，为了在显示行上选择性产生地址放电，脉冲交替地加于奇显示电极 X 上和偶数显示电极 Y 上。保持时间 TS 期间，对于奇数行同时对于偶数行，保持脉冲 Ps 交替加于显示电极 X 和显示电极 Y 上。

另一方面，在每个偶数场 f2 的每个子域中，在寻址准备时间 TR

期间，写脉冲 P_{rx} 加于所有显示电极 X 上，以擦除壁电荷。另外，在寻址时间 T_A 期间，如同在奇数场 f_1 中一样，扫描脉冲 P_y 顺序加于每个显示电极 Y 上，同时地址脉冲 P_a 加于预定地址电极 A 上。

对于偶数场 f_2 来说，脉冲交替加于奇数显示电极 X 和偶数显示电极 Y 上，以便与扫描脉冲 P_y 同步地在各显示行上选择性发生地址放电。另一方面，在保持时间 T_S 期间，保持脉冲 P_s 交替加于奇数行同时加于偶数行的显示电极 X 和显示电极 Y 上。

通过上述方式驱动各电极，可以以低功耗显示高质量的图像。

图 13 和 14 是展示第三实施例的显示电极图形的改进的示图。两个改进都具有相同的基本构造，其中透明电极的突出部分和放电部分及总线电极的辅助图形，都形成于包括彼此重叠的透明电极和总线电极的主图形的两侧上。

首先，在图 13 所示的显示电极中，透明电极 12-1 包括从主图形的两侧延伸的突出部分 12a-1 和分别从突出部分 12a-1 弯曲的放电部分 12b-1。突出部分 12a-1 和放电部分 12b-1 基本是 L 形，每个都关于一点彼此对称地设置于主图形的两侧上。另一方面，总线电极 13-1 包括从主图形两侧延伸的辅助图形 14-1。每个辅助图形 14-1 具有弯曲并连接到透明电极 12-1 的相应放电部分 12b-1 的前端。这些辅助图形 14-1 与隔墙 15 重叠地设置，不掩蔽发光区 17。

在图 14 所示的显示电极中，透明电极 12-2 包括从主图形的两侧延伸的不规则四边形突出部分 12a-2 和位于突出部分 12a-2 的前端的放电部分 12b-2。另一方面，总线电极 13-2 包括从主图形的两侧延伸的辅助图形 14-2，每个辅助图形都具有弯曲并连接到透明电极 12-2 的相应放电部分 12b-2 的前端。辅助图形 14-2 与隔墙 15 重叠地设置，不掩蔽发光区 17。

在该改进中，总线电极 13-2 的辅助图形 14-2 的前端在不同方向弯曲。然而，由于透明电极 12-2 关于总线图形线性对称，所

以辅助图形 14-2 的前端也可以交替地在同一方向弯曲。

图 15 是展示根据本发明第四实施例的 PDP 的显示电极图形的平面图。根据该实施例，如图 15 所示，显示电极 X、Y 构成产生持续放电的显示电极对 51。根据该实施例的 PDP，与第三实施例一样，满足 ALiS 驱动系统的要求，并且是 ALiS 系统用于第二实施例的显示电极图形的应用。

显示电极 X、Y 每个都包括 ITO 等透明电极 52 和多层金属总线电极 53。这些构成部分以相反的对称关系设置。总线电极 53 包括以预定间隔从带状主图形延伸形成的辅助图形 54。设置岛状透明电极 52，使之与每个辅助图形 54 的前端部分连接。相邻显示电极的透明电极 52 彼此相对，用于在其间产生放电。

该实施例中，透明电极 52 只由岛状放电部分构成，不象第二和第三实施例那样，没有任何从主图形延伸出的突出部分。这是想不仅将辅助图形 54 作为断连情况下的附加手段，而是确实地将其用于放电。

形成于背基片上的隔墙 55 和地址电极 56 设置在与第二和第三实施例中对应的位置类似的位置，限定发光区 57。另外，透明电极 52 未设置于总线电极 53 的整个下侧上，所以进一步减小了功耗。利用该实施例的图形形状，透明电极 52 的面积可进一步减小，所以可以进一步降低功耗。透明电极 52 通过金属辅助图形 54 电连接，因此不会断连。

图 16 是展示根据本发明第五实施例的 PDP 的显示电极图形的平面图。如图 16 所示，显示电极 X、Y 构成产生持续放电的显示电极对 61。然而，该实施例与第三和第四实施例一样，满足 ALiS 驱动系统的要求。

从图中可以看出，根据第五实施例的显示电极图形不同于第四实施例，其中总线电极 63 的辅助图形 64 连接到每个岛状透明电极 62 的两侧。这种构造满足透明电极 62 断连时的要求，同时减小了辅助图形 64 的面积。具体说，产生放电的透明电极 62 具有用于放电

的预定宽度，但在另一方向构成细长图形，于是在灰尘和划伤或对基片的损伤的影响下，导致了断连的可能性。通过连接总线电极 63 的辅助图形 64 与每个透明电极 62 的两侧，在断连的情况下，也可以加预定电压，因此不会中断放电。另外，不需要与透明电极 62 一对一地提供在垂直于总线电极 63 的方向延伸的辅助图形 64 的图形，因此可以减小辅助图形 64 的面积，产生更小功耗。图 16 中，为每隔一个透明电极 62 形成一个辅助图形 64，这个数可进一步减小。

形成于背基片上的隔墙 65 和地址电极 66 按与第二到四实施例类似的方式设置，限定发光区 57。图 17 是展示第六实施例的 PDP 的显示电极图形的平面图。该实施例与第三至第五实施例类似，满足 ALiS 系统的驱动要求。从图 17 可以看出，根据第六实施例的显示电极图形不同于第四实施例，其中总线电极 73 的突出部分（辅助图形）73a 连接到岛状透明电极 72 的中心部分。在这种构造中，每个突出部分 73a 都设置于发光区 77 内，因此发光效率某种程度上降低，但图形变简单，因而例如构图等制造工艺方便。

图 18 是展示本发明第七实施例的 PDP 的显示电极图形的平面图。该实施例与第六实施例类似，满足 ALiS 驱动的要求，在第七实施例中，不包括透明电极，但表面放电的显示电极对 81 只由具有高于透明电极的导电率的总线电极 83 构成。如图 18 所示，显示电极 X、Y 构成产生持续放电的显示电极对 81。

构成显示电极 X、Y 的总线电极 83 由例如 Cr-Cu-Cr 等高导电率的金属层构成，从每个带状主图形的两侧延伸的突出部分 83a 以预定间隔设置。放电部分 83b 设置在每个突出部分 83a 的前端部分，所以突出部分 83a 和放电部分 83b 构成基本 L 形的图形。相邻显示电极的放电部分 83b 彼此相对设置，以便在其间产生放电。

总线电极 83 的突出部分 83a 与隔墙 85 重叠地设置于背基片上。从每个重叠部分，向发光区 87 弯曲，形成放电部分 83b。尽管导电率高于透明电极，但该放电部分 83b 由能够掩蔽光的金属层构成。

于是掩蔽发光区 87 不透光。然而，通过根据放电所需要的最小值设定放电部分 83b 的长度，可以防止亮度的下降。

根据该实施例，不需要透明电极，因此可以显著减少形成显示电极的工艺步骤数和设备数。

如上所述，根据本发明，放电图形位于与显示电极的主图形间隔开的位置，因此，通过消除其间的图形，可以抑制功耗，通过将它们与由导电率高的材料构成的辅助图形连接，可以防止主图形和放电图形间的断连。

本发明可有效地应用于显示区包括多电极的高清晰度等离子体显示板，尤其是利用显示用的电极间隙作驱动方法，应用时可以具有高效率。

图1

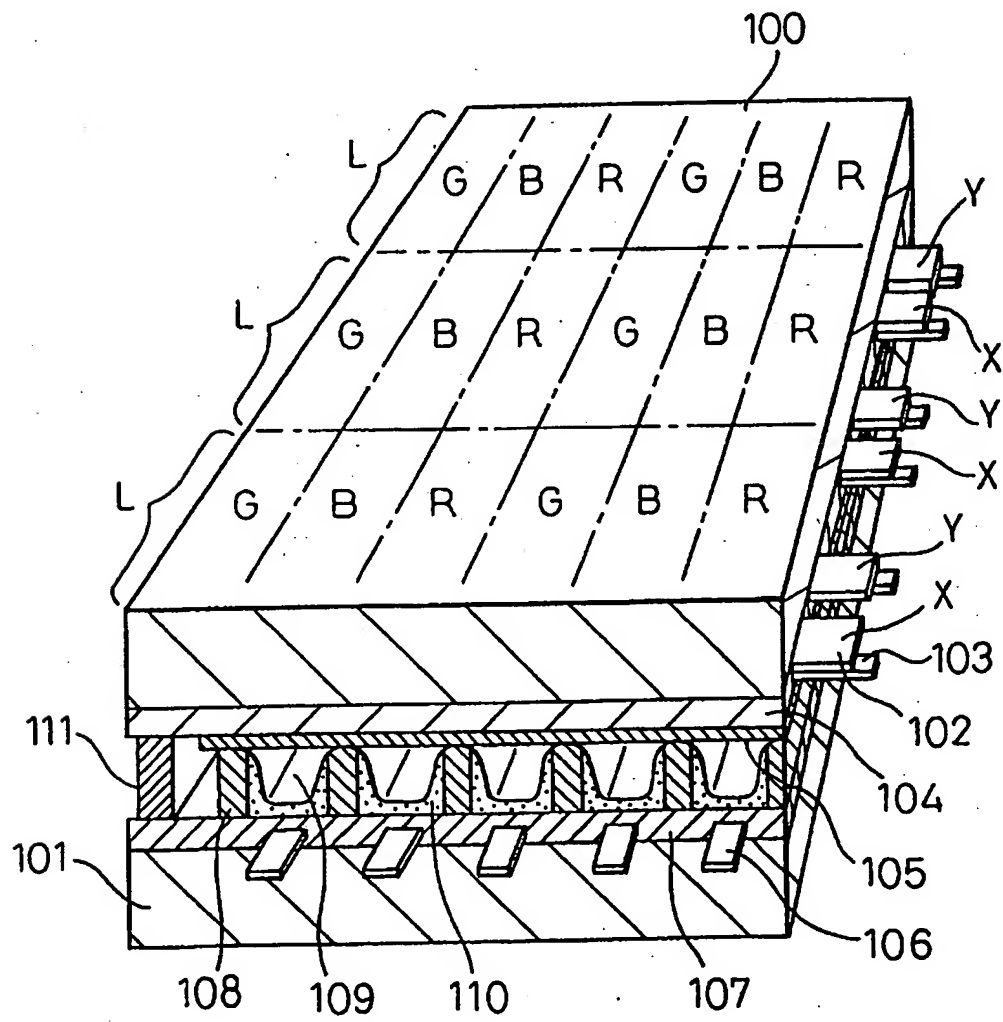


图 2A

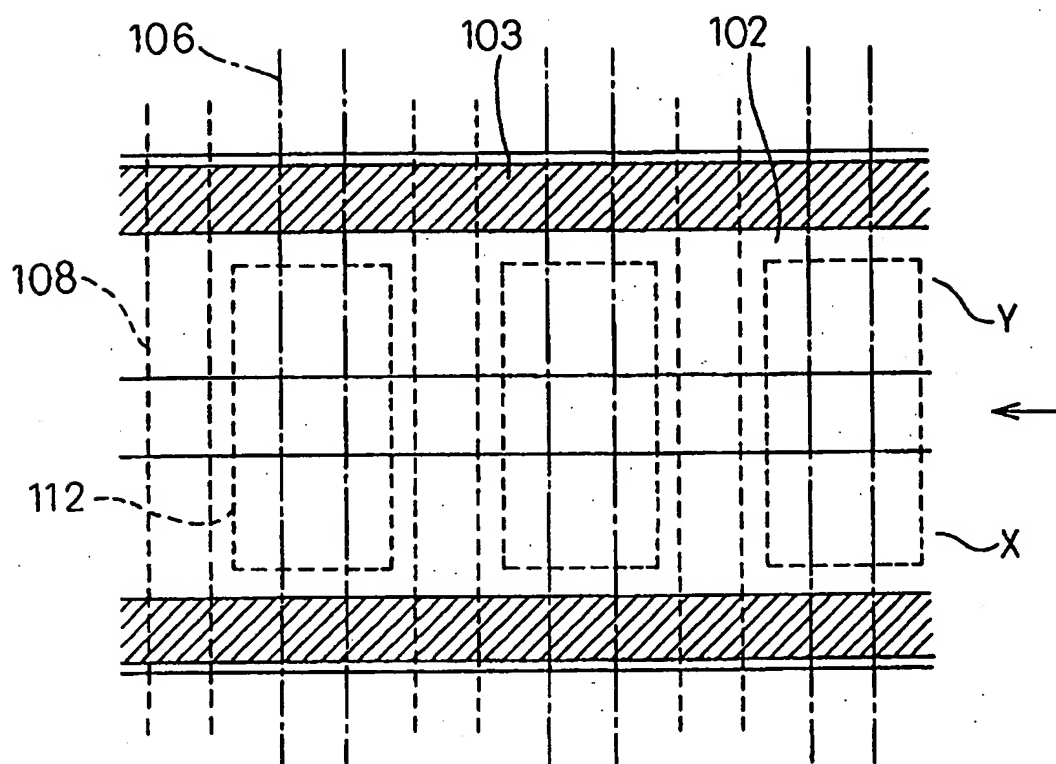


图 2B

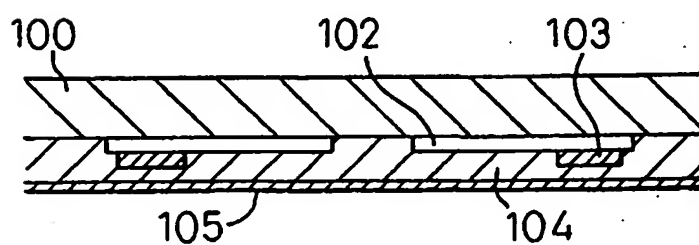


图 3

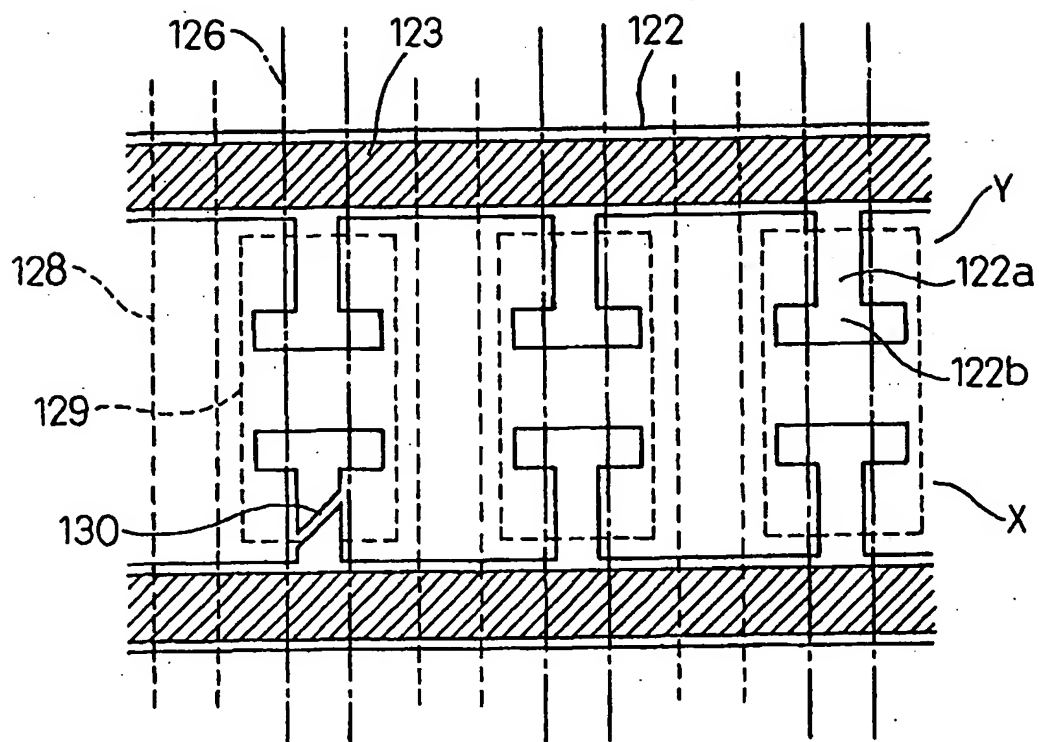


图 4

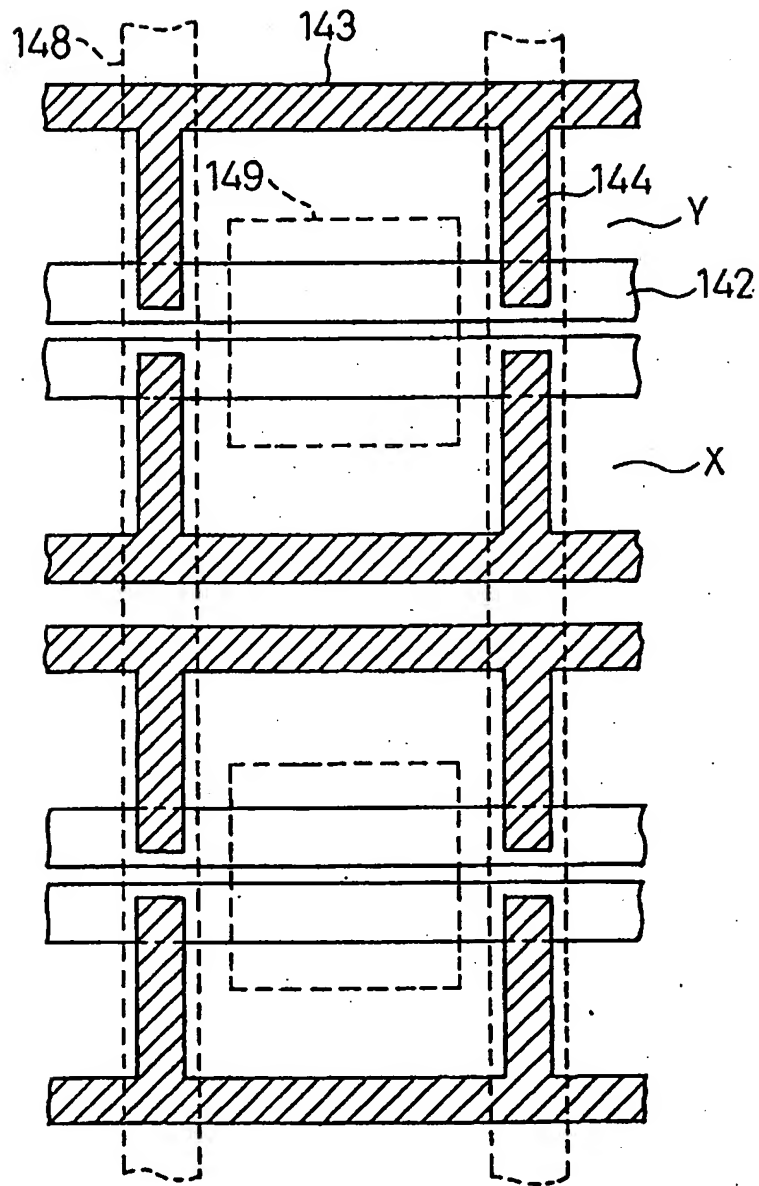
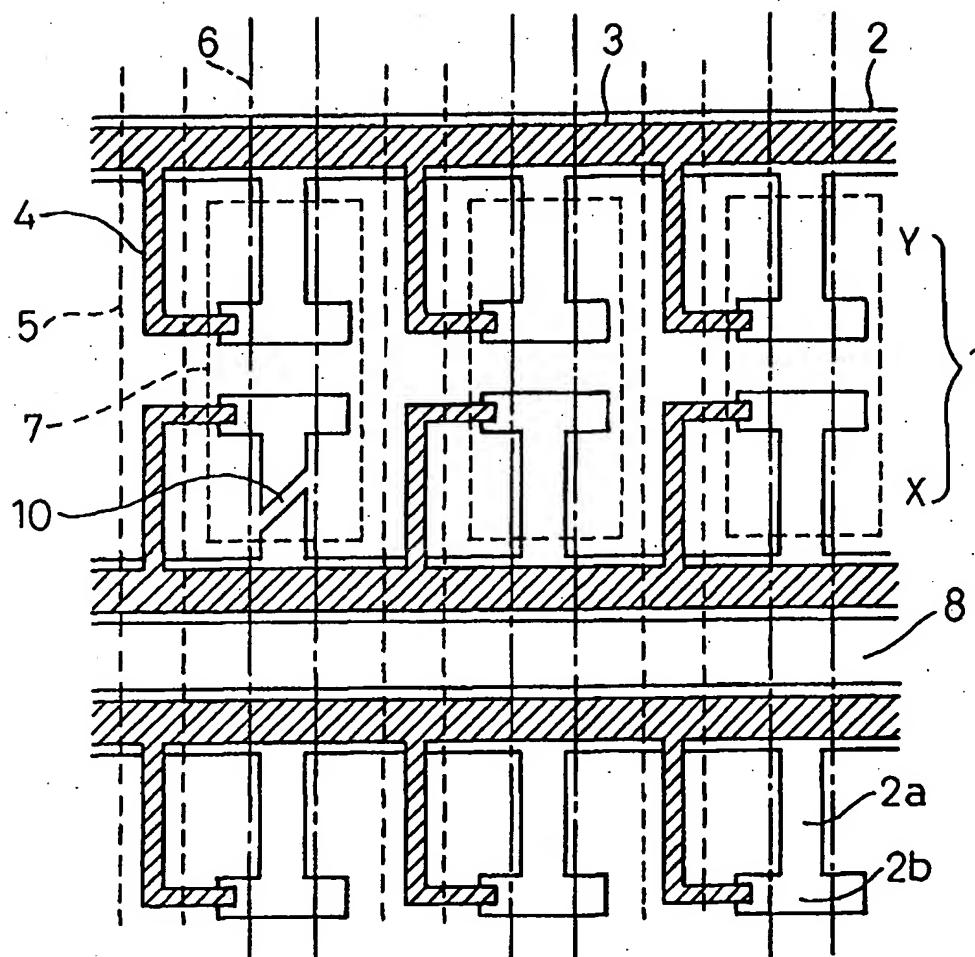


图5



11111111

图6

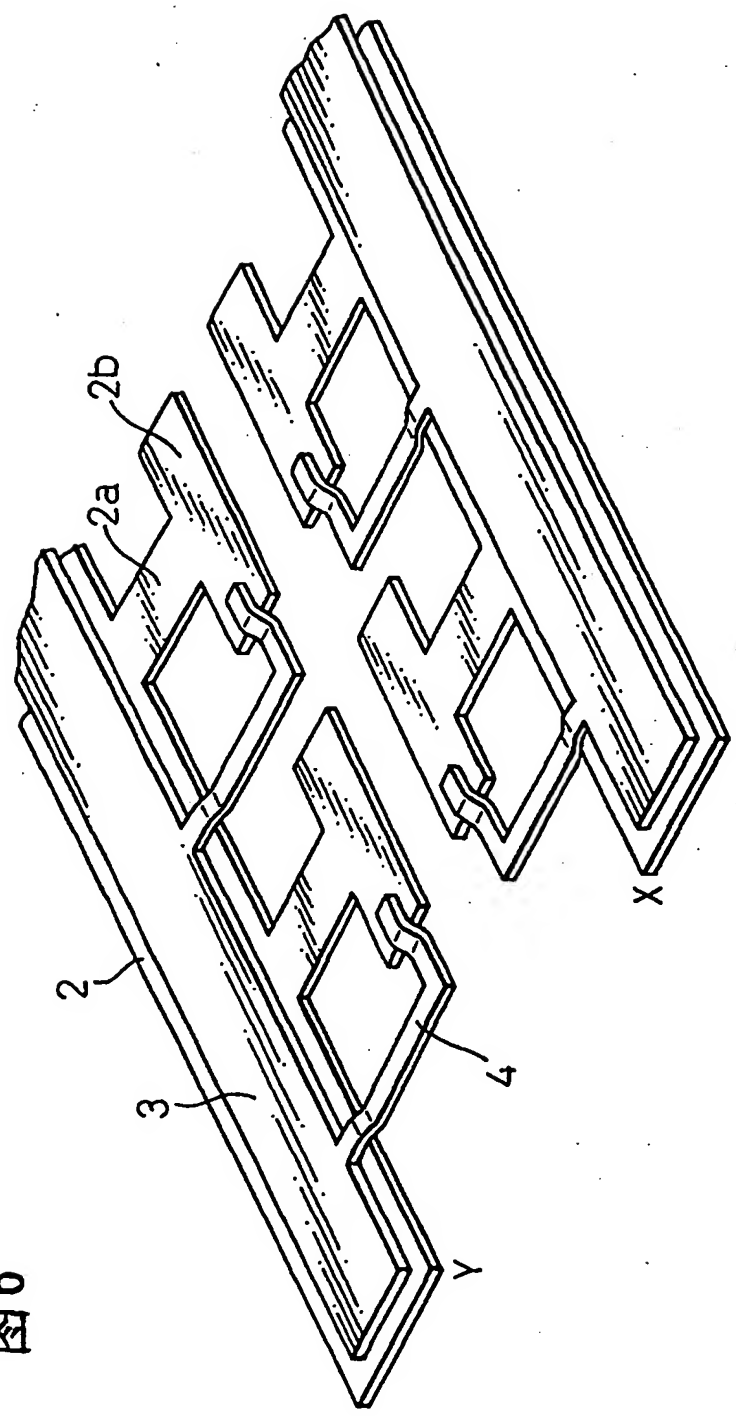


图7

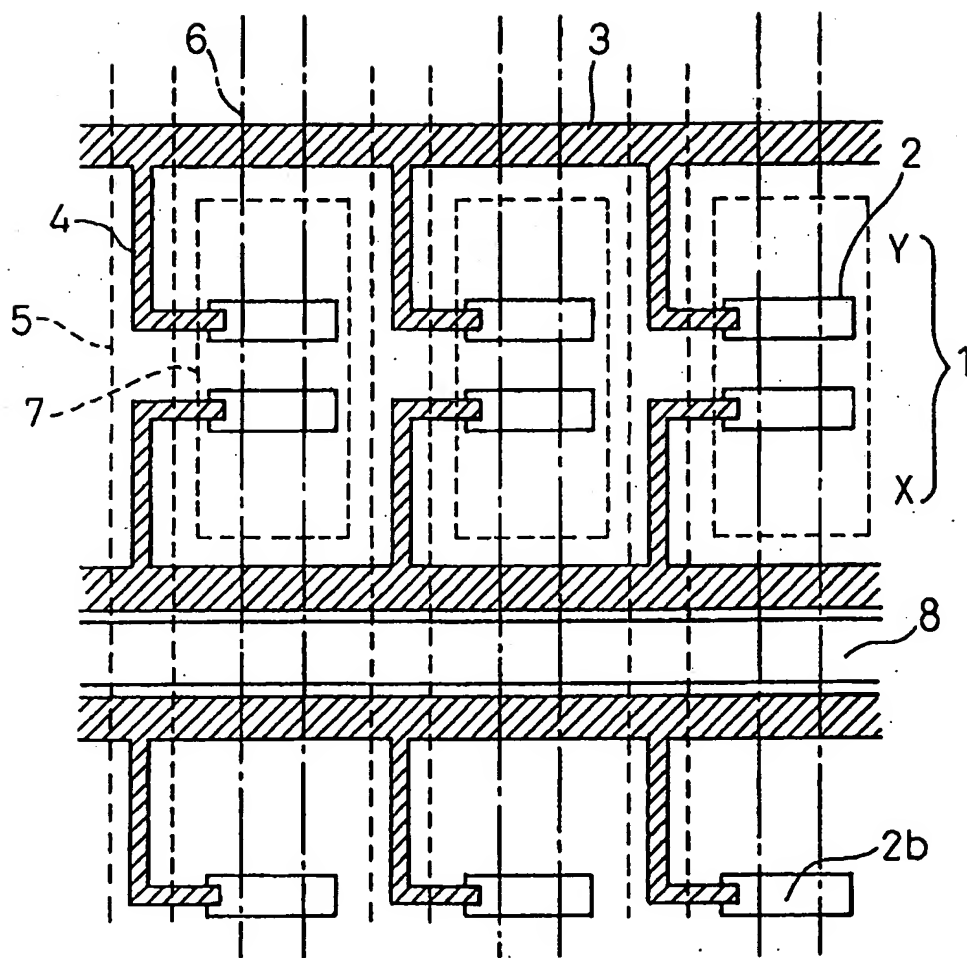


图 8

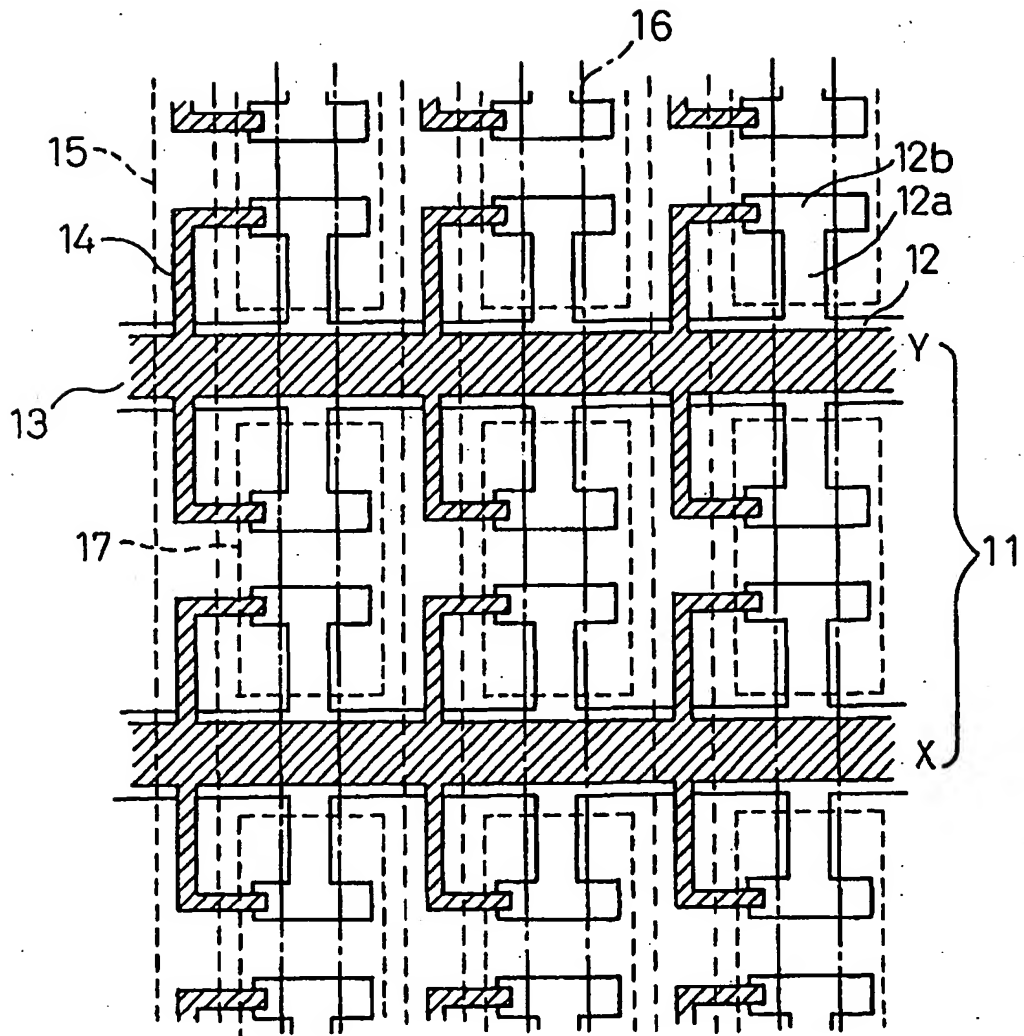


图9

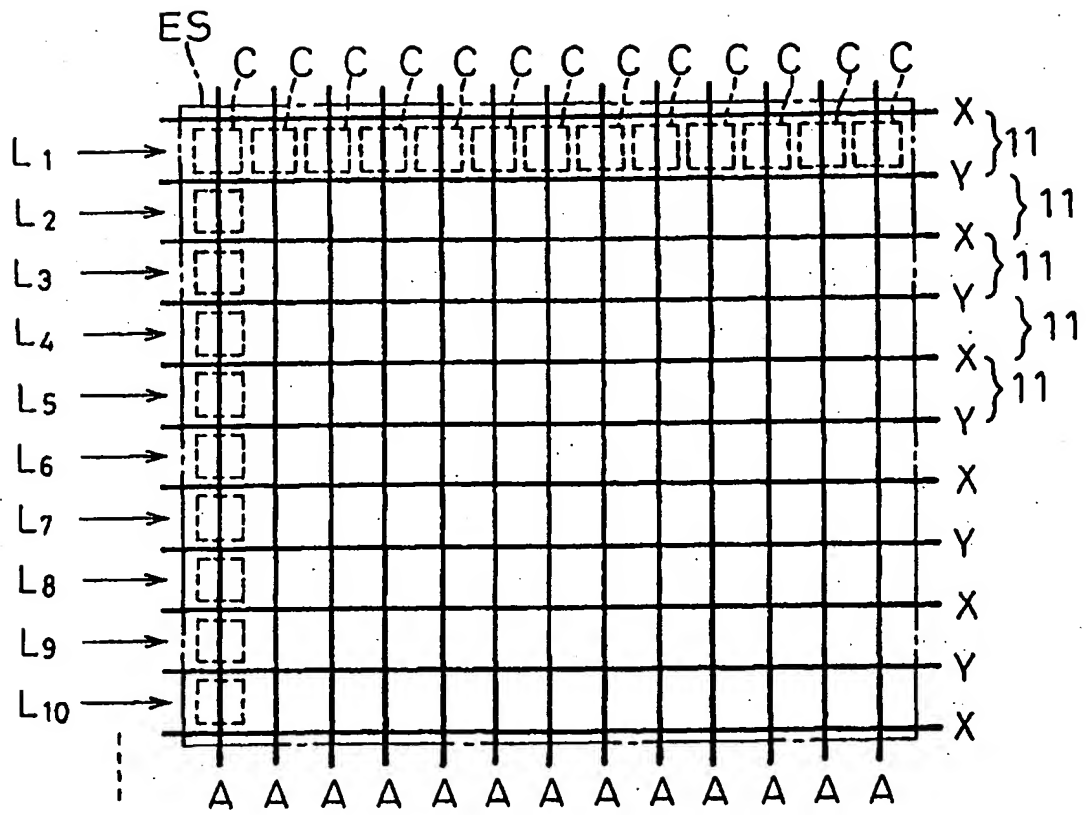
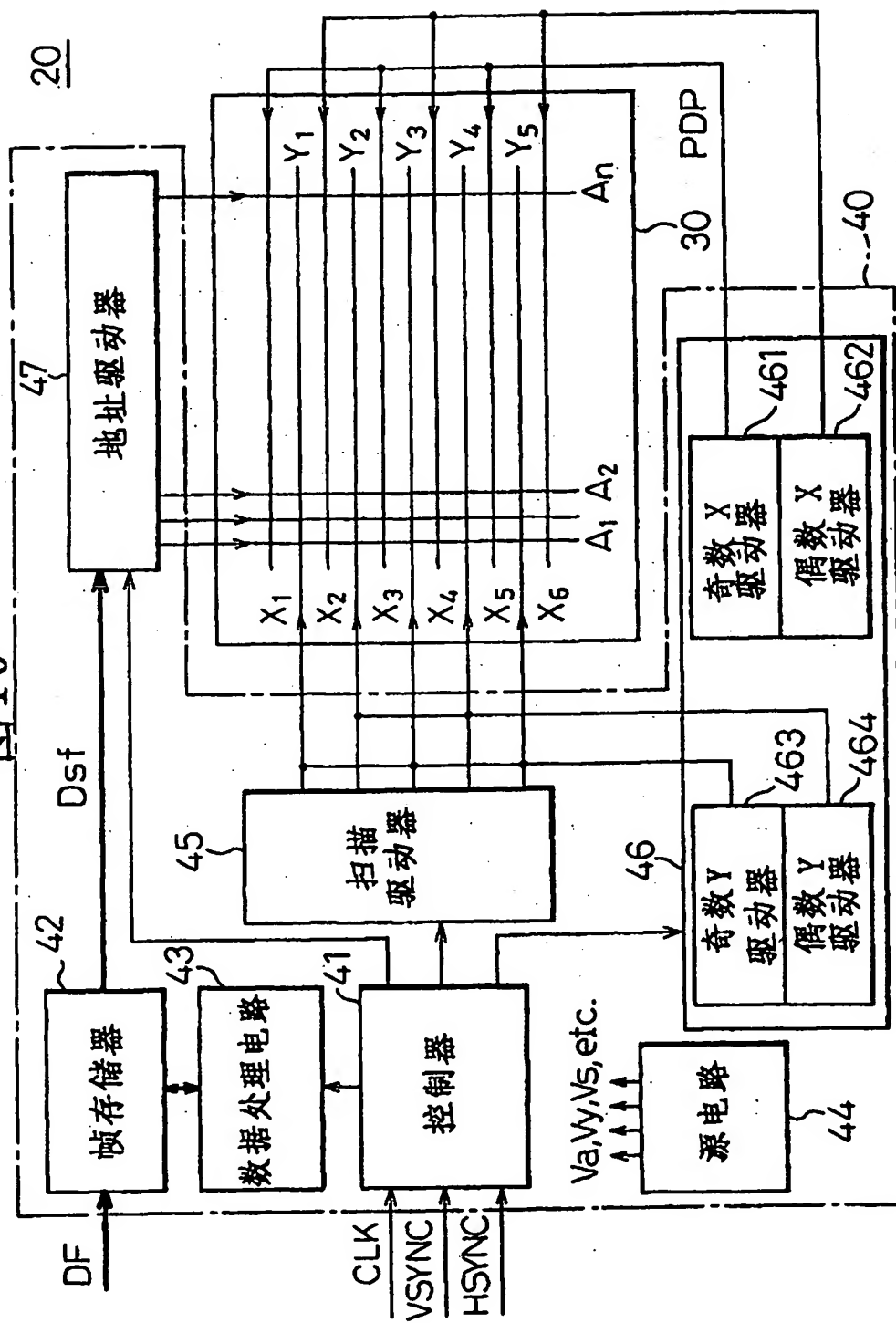


图10



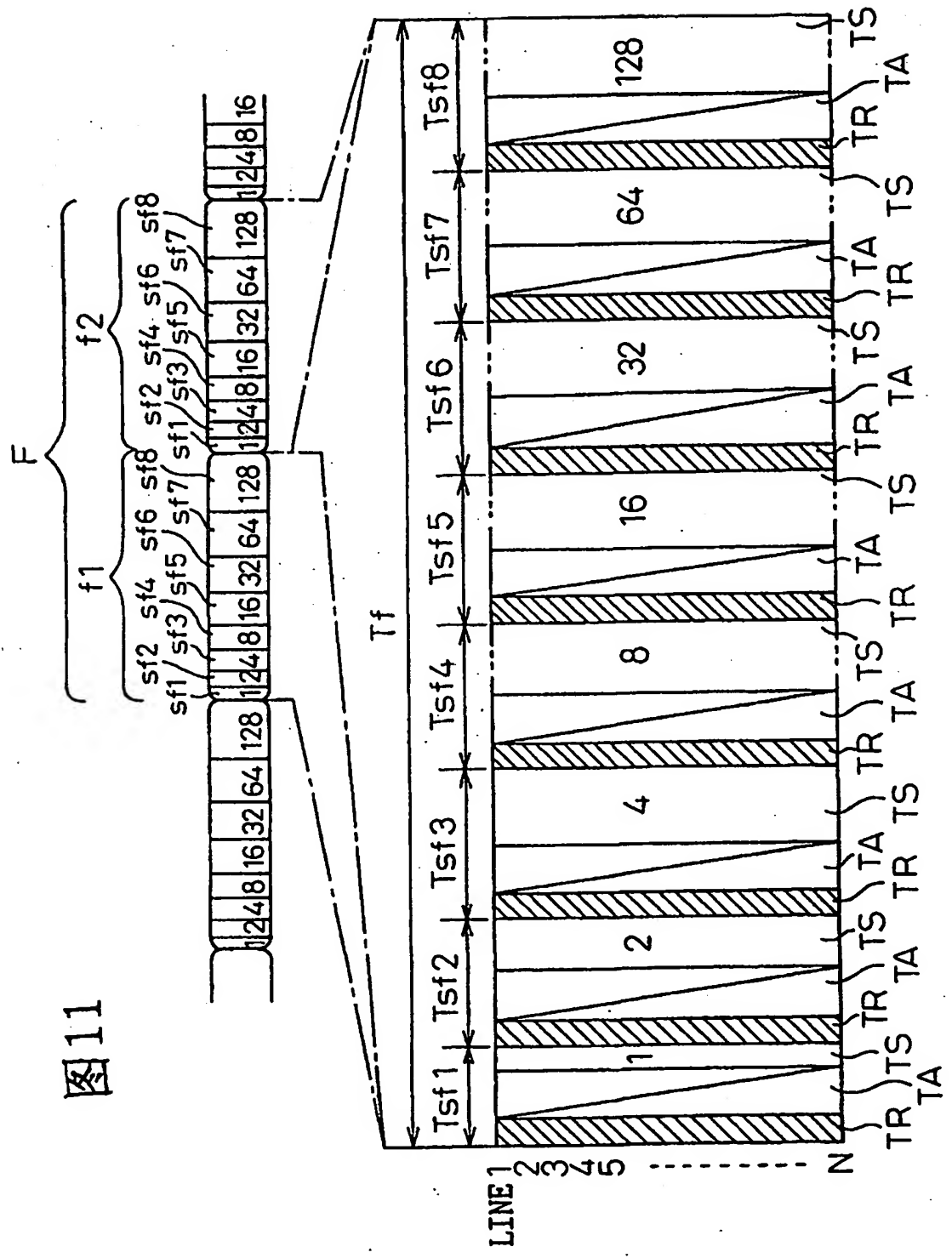


圖 12

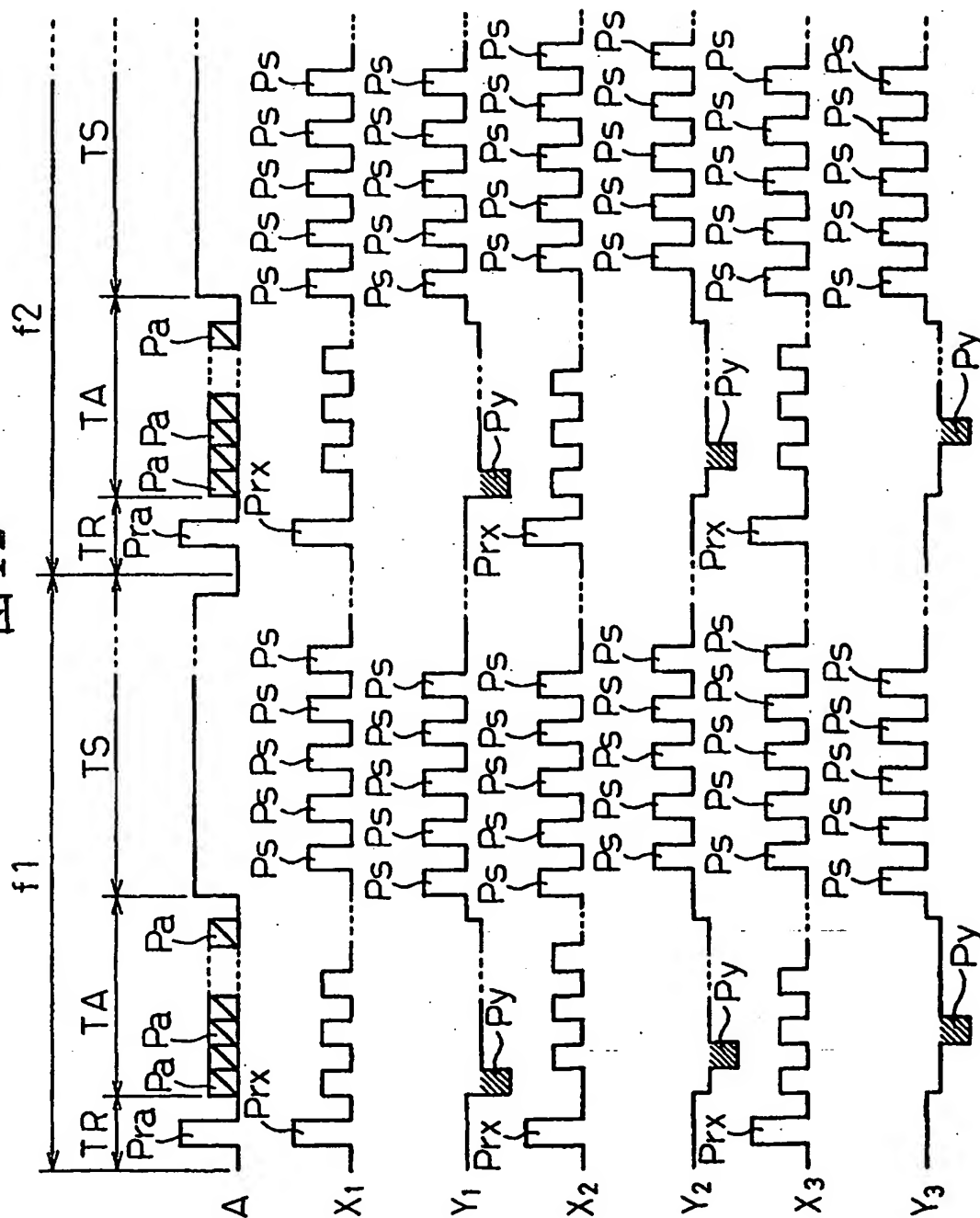


图13

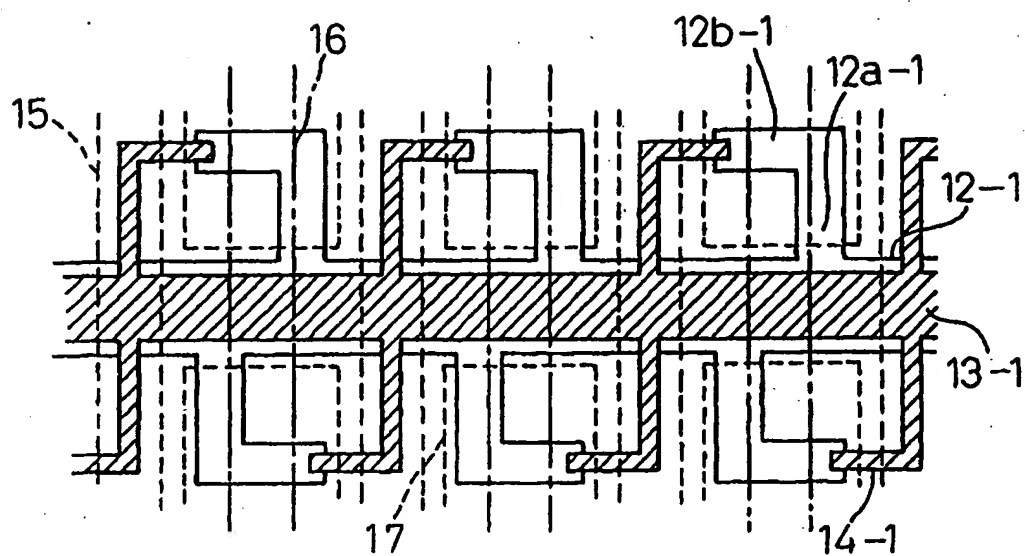
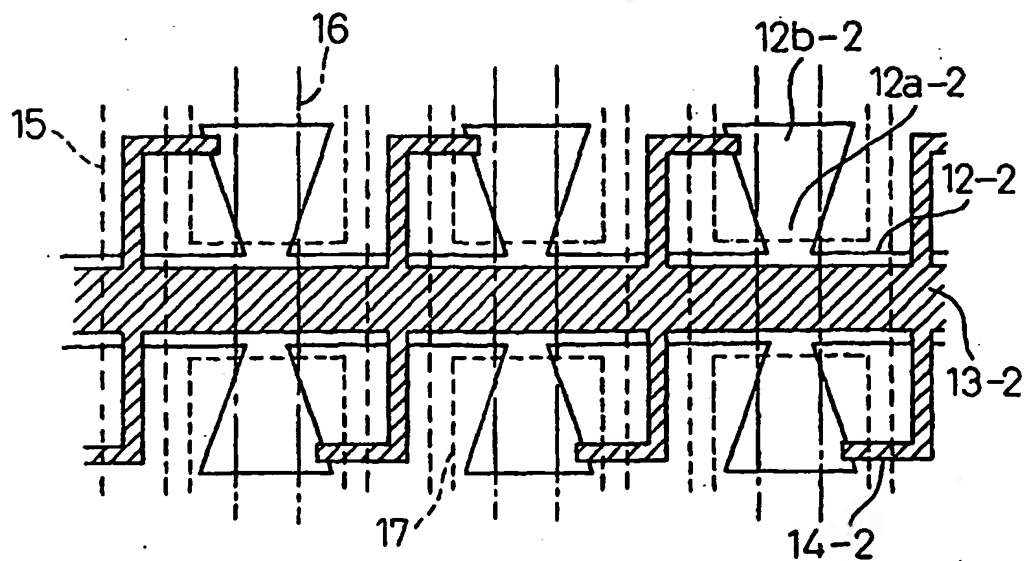


图14



• • • • •



图 16

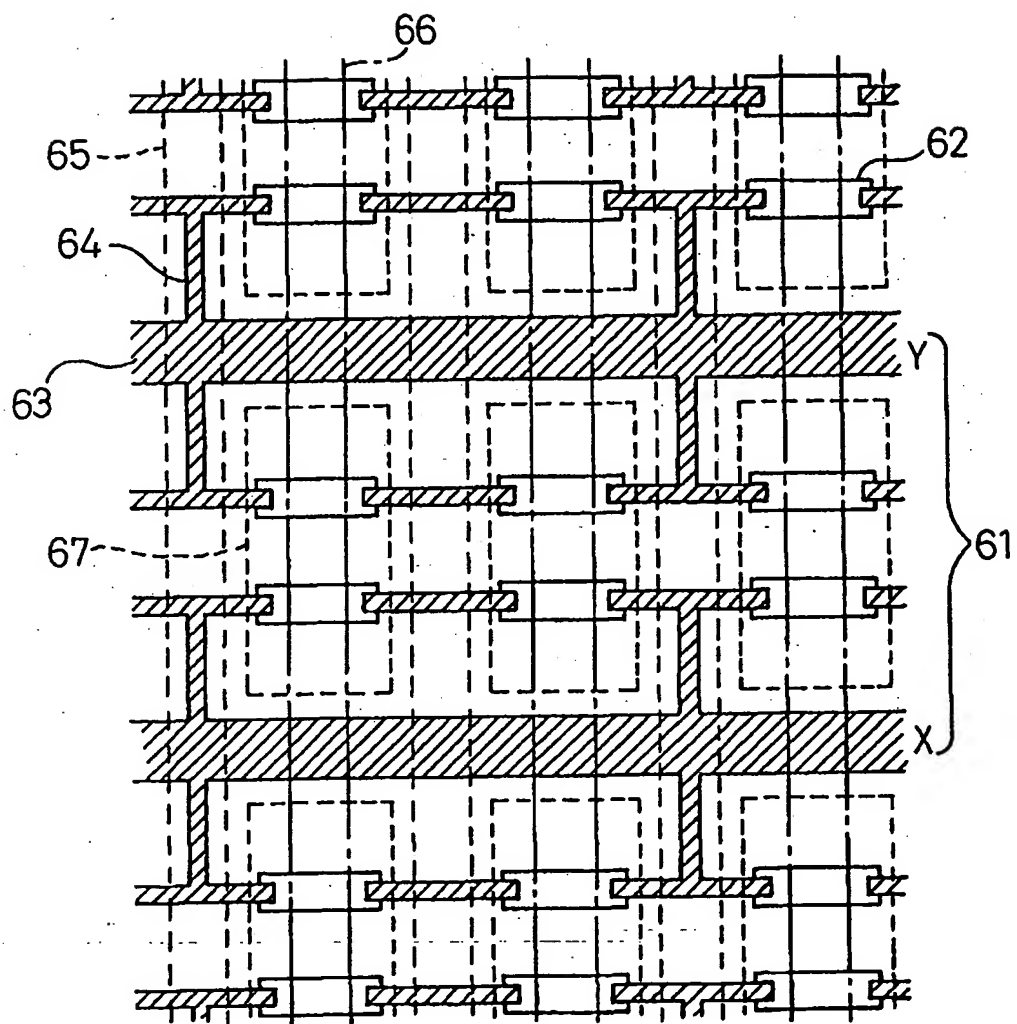


图17

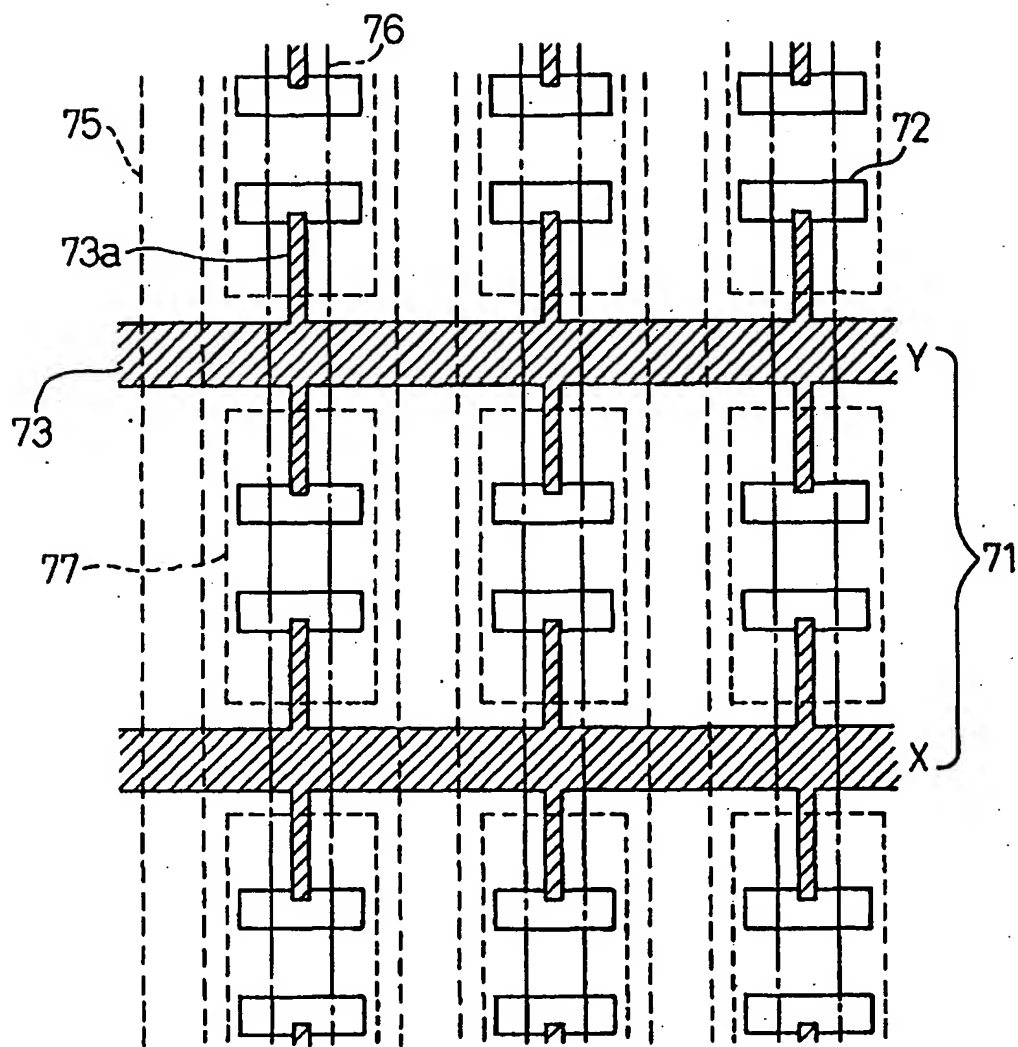


图18

